

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076057

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 21/60
H01L 21/56
H01L 25/04
H01L 25/18

(21)Application number : 2000-262511

(22)Date of filing : 31.08.2000

(71)Applicant : HITACHI LTD

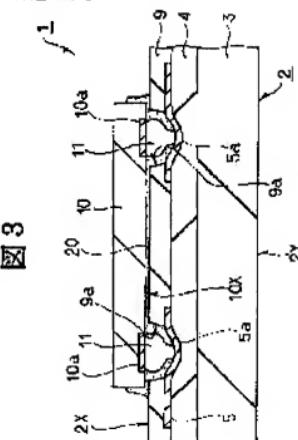
(72)Inventor : IMASU SEISHI
YOSHIDA IKUO
KISHIKAWA NORIO
SUMI YOSHIYUKI
TAGUCHI KAZUYUKI
NAITO TAKAHIRO
SATO TOSHIHIKO

(54) ELECTRONIC DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress an inclination of a semiconductor chip to a main surface of a circuit board.

SOLUTION: This electronic device comprises a semiconductor chip having plural electrode pads on its main surface, a circuit board having plural connecting parts on the main surface, and plural projecting electrodes arranged between each of the electrode pads of the semiconductor chip and each of the connecting parts of the circuit board in order to electrically connect each other. These plural projecting electrodes are positioned in the manner that the semiconductor chip is in unbalanced arrangement to the main surface of the circuit board. The plural connecting parts are placed at a deeper position than that of the main surface of the circuit board in the depth direction.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 热力学与热力学工程

特庫2002-76057

(P2002-70057A)

(43)公開日 平成14年3月15日(2002.3.15)

(51) Int.Cl.
H 01 L 21/60

21/56
25/04
25/18

F I
H O I L 21/50 3 1 1 S 5 F 0 4 4
21/56 C 5 F 0 6 1
21/92 6 0 4 J
25/01 7

審査請求・白紙請求書の第23回（令和3年）

(2)出席番号　該額2000-262511(P2000-262511)

(7) 出商人 000005108

株式会社日立製作所
東京都千代田区麹町一丁目4番地

(22) 会期日 平成12年8月31日(2000.8.31)

(72) 発明者 今須 増士
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ中央研究所

(72)発明者 吉田 育生
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 1000883552

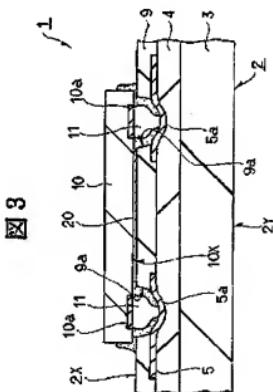
景教真言

(5)「登録の多様」　電子証明取扱券の創造本部

(52) [釋約]

【課題】配線基板の一主面に対する半導体チップの傾きを抑制する

【解決手段】一正面に複数の電極パッドを有する半導体チップと、一正面に複数の接続部を有する配線基板と、前記半導体チップの前記各電極パッドと前記配線基板の前記各接続部との間に配置され、かつ一方を電気的に接続する複数の起電極電極であって、前記配線基板の一正面に対して前記半導体チップのバランスが取れない配置で配置された複数の突起状電極と有する電子装置であって、前記複数の接続部は、前記配線基板の一正面から深さ方向に向かって前記配線基板の一正面よりも深く位置に埋設されている。



(2)

特賄2002-76057

2

【請求項11】 請求項10に記載の電子装置において、

前記複数の突起状部は、一方向に沿って一列状に配置されていることを特徴とする電子装置。

【請求項12】 請求項1に記載の電子装置において、前記複数の突起状部は、一方向に沿って一列状に配置

され、かつ前記一方향에 대해서 교차하는 방향에 배치되어いない 것을 특징으로 하는 전자 장치,

【請求項13】 一平面に一方向に沿って一列状に配置された複数の電極パッドと、前記各電極パッド上に矢印

個別に配置された複数の突起状電極とを有する半導体チップと、

—主面から深さ方向に向かって前記一主面よりも深い位置に、前記複数の突起状電極と対応して配置された複数

の接続部を有する配線基板とを準備する工程と、

間に接着用樹脂を介在し、前記配線基板の一主面に前記半導体チップを圧着して、前記各接続部に前記各突起状

高極を夫々電気的に接続する工程とを備えたことを特徴とする電子装置の製造方法。

【請求項14】 請求項13に記載の電子装置の製造方法において、

前記配線基板は、その一主面に形成された絶縁膜と、前記絶縁膜に形成された開口とを更に有し、

前記複数の接続部は、前記開口の底部に配置されていることを特徴とする電子装置の製造方法。

【請求項15】 請求項14に記載の電子装置の製造方法において、

前記純縁膜は、前記半導体チップの周縁を跨って存在していることを特徴とする電子装置の製造方法。

【請求項16】 請求項14に記載の電子装置において、

前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく。

前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きいことを特徴とする電子装置の製造方

【請求項17】 一平面に第1配列ピッチで配置された

度数の第1電極パッドを有する第1半導体チップと、
一主面に前記第1配列ピッチよりも小さい第2配列ピッ

子で配置された複数の第2電極パッドを有する第2半導体チップと、

—主面の第一領域に、前記複数の第1電極パットと対応して配置された複数の第1接続部と、前記一主面の第1

領域と異なる第2領域に、前記複数の第2電極パッドと
対応して配置された複数の第2接続部とを有する配線基

前記各第1電極パッドと前記各第1接続部との間に配電

され、かつ夫々を電気的に接続する複数の第1突起状部と、

(3)

特開2002-78057

4

前記各第2電極パッドと前記各第1接続部との間に配線され、かつ夫々を電気的に接続する複数の第2突起状電極とを有し、
前記複数の第1接続部及び前記複数の第2接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、
前記複数の第2突起状電極は、前記複数の第1突起状電極よりも段数が多い多段パンプ構造になっていることを特徴とする電子装置。

【請求項18】 請求項17に記載の電子装置において、

前記配線基板は、その一主面に形成された絶縁層と、前記一主面の第1領域において前記絶縁層に形成された第1開口と、前記一主面の第2領域において前記絶縁層に形成された第2開口とを更に有し、

前記複数の第1接続部は、前記第1開口の底部に配置され、
前記複数の第2接続部は、前記第2開口の底部に配置されていていることを特徴とする電子装置。

【請求項19】 請求項17に記載の電子装置において、

前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部パンプと、前記基部パンプに構み重ねられた重ねパンプとを有する多段パンプ構造になっていることを特徴とする電子装置。

【請求項20】 請求項17に記載の電子装置において、

前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部パンプと、前記基部パンプに構み重ねられた第1重ねパンプと、前記第1重ねパンプに構み重ねられた第2重ねパンプとを有する多段パンプ構造になっていることを特徴とする電子装置。

【請求項21】 請求項17に記載の電子装置において、

前記第1及び第2突起状電極は、スタッダパンプであることを特徴とする電子装置。

【請求項22】 請求項17に記載の電子装置において、

前記配線基板は、多層配線構造からなり、
前記複数の第1及び第2接続部は、前記配線基板の最上層の配線層に形成された複数の配線の夫々の一部分であることを特徴とする電子装置。

【請求項23】 請求項17に記載の電子装置において、

前記第1及び第2半導体チップは、接着用樹脂を介在して前記配線基板に接続されていることを特徴とする電子装置。

【請求項24】 請求項23に記載の電子装置において、

前記後着用樹脂は、絶縁性樹脂に多数の導電性粒子が混入された異方導電性樹脂であることを特徴とする電子装置。

入された異方導電性樹脂であることを特徴とする電子装置。

【請求項25】 一主面に第1配列ピッチで配置された複数の第1電極パッドと、前記各第1電極パッドに夫々個別に接続された複数の第1突起状電極とを有する第1半導体チップと、

一主面に前記第1配列ピッチよりも小さい第2配列ピッチで配置された複数の第2電極パッドと、前記各第2電極パッドに別個別に接続され、かつ前記第1突起状電極よりも段数が多い多段パンプ構造からなる複数の第2突起状電極とを有する第2半導体チップと、

一主面に形成された絶縁層と、前記一主面の第1領域において前記絶縁層に形成された第1開口と、前記一主面の第1領域と異なる第2領域において前記絶縁層に形成された第2開口と、前記第1開口の底部に前記複数の第1突起状電極と対応して配置された複数の第1接続部と、前記第2開口の底部に前記複数の第2突起状電極と対応して配置された複数の第2接続部とを有する配線基板とを備備する工程と、

20 前記配線基板の一主面の第1領域と前記第1半導体チップの一主面の間に第1接着用樹脂を介在し、前記配線基板の一主面の第1領域に前記第1半導体チップを圧着して、前記各第1接続部に前記各第1突起状電極を夫々電気的に接続する工程と、

前記配線基板の一主面の第2領域と前記第2半導体チップの一主面の間に第2接着用樹脂を介在し、前記配線基板の一主面の第2領域に前記第2半導体チップを圧着して、前記各第2接続部に前記各第2突起状電極を夫々電気的に接続する工程と、

前記後着用樹脂は、絶縁性樹脂に多数の導電性粒子が混入された異方導電性樹脂であることを特徴とする電子装置。

【請求項27】 一主面に電極パッドを有する半導体チップと、

(4)

特開2002-76057

5

一主面の表底部に接続部を有する配線基板と、前記半導体チップの前記電極パッドと前記配線基板の前記接続部との間に配置され、かつ夫々を電気的に接続する突起状電極とを有し、
前記接続部は、前記配線基板の一主面から裏さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、
前記突起状電極は、多段パンプ構造になっていることを特徴とする電子装置。

【請求項28】 一主面に電極パッドを有する半導体チップと、

一主面に形成された絶縁膜と、前記絶縁膜に形成された開口と、一部分が前記開口の底部に配置され、かつ他の部分が前記絶縁膜で覆われた配線とを有する配線基板と、

前記電極パッドと前記配線の一部との間に配置され、かつ夫々を電気的に接続する突起状電極と、
前記半導体チップと配線基板との間及前記開口の内部に配置された接線用樹脂とを有し、
前記開口の他の部分上における前記絶縁膜の厚さが20[μm]以下となっていることを特徴とする電子装置。

【請求項29】 半導体チップと、
前記半導体チップの一主面上に配置された複数の突起状電極と、

配線基板と、
前記配線基板の一主面に形成された開口と、

前記開口の底面に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、
前記複数の突起状電極は、前記半導体チップの一主面の第1の中心側の周囲に配置されていることを特徴とする電子装置。

【請求項30】 半導体チップと、
前記半導体チップの一主面上に配置された複数の突起状電極と、

配線基板と、
前記配線基板の一主面に形成された開口と、
前記開口の底面に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、
前記複数の突起状電極は、前記半導体チップの一主面上の第1の直線部の周囲に配置されていることを特徴とする電子装置。

【請求項31】 諸請求項30に記載の電子装置において、

前記半導体チップの一主面は長方形であり、
前記第1の直線部は、前記半導体チップの一主面の2家の燃い辺に交わることを特徴とする電子装置。

【請求項32】 半導体チップと、
前記半導体チップの一主面上に配置された複数の突起状電極と、

配線基板と、
前記配線基板の一主面に形成された開口と、
前記開口の底面に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、
前記複数の突起状電極は、前記半導体チップの一主面上の第1の直線部の周囲に配置されていることを特徴とする電子装置。

【請求項33】 半導体チップと、
前記半導体チップの一主面上に配置された複数の突起状電極と、
配線基板と、

前記配線基板の一主面に形成された開口と、
前記開口の底面に形成されており、前記突起状電極の各々に接続する複数の接続部とを有する電子装置であつて、

前記半導体チップの一主面上において、前記複数の突起状電極を縦んで形成される多角形の内側に前記半導体チップの重心を含まないことを特徴とする電子装置。

【免責の詳細な説明】

【0001】

【免責の属する技術分野】本発明は、電子装置及びその製造技術に属し、特に、フリップチップ実装技術を採用する電子装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】電子装置として、MCM (Multi Chip Module) と呼称される電子装置が知られている。MCMは、集積回路が内蔵された複数の半導体チップを配線基板上に実装し、一つのまとまった機能を構成している。このMCMにおいては、データ伝送速度の高速化や小型化を図るため、回路形成面の電極パッド上に突起状電極が形成された半導体チップ (フリップチップ) を用いて配線基板上に実装するフリップチップ実装技術の採用が活発になっている。

【0003】フリップチップ実装技術においては、複数の実装方式が提案され、実用化されている。例えば、CCB (Controlled Collapse Bonding) 実装と呼称される方式やACF (Anisotropic Conductive Film) 実装と呼称される方式が実用化されている。

【0004】CCB実装方式は、半導体チップの電極パッド上にパンプ電極 (突起状電極) として例えばホール形状の半田バンプを形成し、その後、配線基板上に半導体チップを配置し、その後、半田バンプを溶融する熱処理を施して、配線基板の配線の一部分である接続部と半導体チップの電極パッドとを電気的にかつ熱的に接続する方式である。このCCB実装方式については、例えば工業調査会から発行された電子材料 [1996年、4月号、第1頁乃至第19頁] に記載されている。

【0005】ACF実装方式は、半導体チップの電極パッド上にパンプ電極 (突起状電極) として例えば金(Au)からなるスタッダードバンプを形成し、その後、配線基板上に接着剤樹脂としてシート形状の異方導通性樹脂(ACF)を介して半導体チップを配置し、その後、加熱しながら配線基板に半導体チップを圧着して、配線基板に半導体チップを接着固定すると共に、配線基板の接続部にスタッダードバンプを電気的に接続する方式である。異方導通性樹脂とは、弛緩性樹脂の中には導電性粒子が分散して混入されたものである。このACF実装方式については、例えば特開平4-345041号公報、並びに特開平5-175280号公報に記載されている。

50

【0006】

【発明が解決しようとする課題】本発明者は等は、前述のフリップチップ実装技術について検討した結果、以下の問題点を見出した。

【0007】(1) 半導体チップのパッド配列には複数の配列形態がある。その中の一つに、半導体チップの回路形成面のX方向又はY方向の中心線上に沿う中央領域にその中央領域を沿って複数の電極パッドを一列状に配列した中央パット配列がある。この中央パット配列は、例えば記憶回路としてDRAM(Dynamic Random Access Memory)が内蔵された半導体チップ等に採用されている。

【0008】例えばDRAMの場合、電極パット(ボンディングパット)の配列に対しては以下のようないわゆる要求がある。配線インダクタンス低減のために入出力回路の逆側に配置する。また、ボンディング工程における素子の損傷を防ぐために、電極パットの裏には半導体素子を形成しない。また、動作速度向上の目的から、入出力回路からメモリマットの最も遠い部分までの距離をなるべく近づけたい。これらの人間からDRAMチップ上のレイアウトは図21の様であり、チップの長辺方向に向ってチップ中央部分に配列される。図21において、30はDRAMチップ、MARYはメモリアレイ、PCは周辺回路、1ノンは入出力回路、BPは電極パットである。

【0009】中央パット配列の場合、各電極パット上に形成されたパンプ電極の配列も中央パンプ配列となる。このような半導体チップをフリップチップ実験に用いた場合、半導体チップのバランスがとれないので、配線基板の一面側に付けて半導体チップが傾いてしまう。従って、中央パット配列の半導体チップにおいてはフリップチップ実験するところが困難である。半導体チップのバランスがとれないパンプ配列(パンプ配列)としては、中央パット配列の他に、例えば半導体チップの長い対向する二つの辺のうちの一辺の一方の辺にそのままに沿って複数の電極パットを一列状に配列した一辺パット配列(一辺パンプ配列)等がある。

【0010】(2) ACF実装方式において、スタッドパンプは、配線基板と半導体チップとの間に介在された異方導電性樹脂や熱収縮材(加熱収縮から冷却収縮に至った時に生じる収縮力)や熱硬化収縮力(熱硬化性樹脂の硬化時に生じる収縮力)等によって、配線基板の接続部に圧接されている。一方、異方導電性樹脂は一般的にスタッドパンプよりも熱膨張率が大きいため、異方導電性樹脂の厚さ方向における圧接量はスタッドパンプの高さ方向における圧接量よりも大きい。このようなことから、熱の影響によって配線基板の接続部からスタッドパンプが離れてしまうといった接続不良の発生が懸念されるため、配線基板と半導体チップとの間ににおける異方導電性樹脂の体積を出来るだけ小さくする必要がある。

【0011】そこで、配線基板と半導体チップとの間に

おける異方導電性樹脂の体積を小さくする技術が、例えば特開平10-270496号公報に開示されている。この公開公報に開示された技術は、同公開公報の図12に示されているように、「リジット基板からなる配線基板19に溝19Aが形成され、溝19A内に電極パット4Aが形成され、溝19A内において、電極パット4Aとパンプ選択15とが接続された構成としていることにより、配線基板の最上層の絶縁膜が無く、電極パット4A及び最上層配線が剥離しの場合に比べて、溝19Aの深さに相当する分、配線基板19と半導体チップ10との間の隙間がなくなるので、配線基板19と半導体チップ10との間に介在される接着材(異方導電性樹脂)16の厚さを薄くできる。」というものである。

【0012】しかしながら、配線基板に溝を設け、この溝の内部において、配線基板の電極パット(接続部)とパンプ選択(スタッドパンプ)とを接続する構成とした場合、新たな問題が生じる。

【0013】半導体チップの電極パットは、電極パットの配列ピッチ(パット配列ピッチ)によって平面サイズが決定されるため、パット配列ピッチが狭くなるに従って小さくなる。電極パットの縮小によって、スタッドパンプの直径を小さくするために、より細い金ワイヤによってスタッドパンプを形成すると、それと伴ってスタッドパンプの高さも小さくなる。即ち、パット配列ピッチが異なるとスタッドパンプの高さも異なる。

【0014】一方、MCM等の電子装置においては、集成度や機能が異なる数種類の半導体チップを一つの配線基板上に実装する場合があるが、これらの半導体チップのパット配列ピッチは必ずしも同一ではない。パット配列ピッチが異なる場合、スタッドパンプの高さも異なるため、配線基板の一面からその接続部までの深さよりもスタッドパンプの高さが高い半導体チップにおいては、配線基板の接続部とスタッドパンプとの接続を容易に行なうことができるが、配線基板の一面からその接続部までの深さよりもスタッドパンプの高さが低い半導体チップにおいては、配線基板の接続部とスタッドパンプとの接続が困難となる。

【0015】配線基板上に実装する半導体チップのうち、スタッドパンプの高さが最も小さい半導体チップに合わせて配線基板の接続部の深さ位置を設定すれば、スタッドパンプの高さが低い半導体チップにおいても配線基板の接続部にスタッドパンプを接続することができるが、このように設定した場合、スタッドパンプの高さが高い半導体チップにおいて、配線基板との間に介在される異方導電性樹脂の体積が大きくなってしまい、熱の影響によって配線基板の接続部からスタッドパンプが離れてしまうといった接続不良の発生が懸念される。

【0016】本発明の目的は、配線基板の一面面に対する半導体チップの傾きを抑制することが可能な技術を提供することにある。

特許 2002-76057

10

(6)

9

【0017】本発明の他の目的は、パット配列ピッチが異なる複数の半導体チップを一つの配線基板上に実装することができる技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の説明及び添付図面によって明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0020】(1) 本発明の電子装置は、一面上に複数の電極パッドを有する半導体チップと、一面上に複数の接続部を有する配線基板と、前記半導体チップの前記各電極パッドと前記配線基板の前記各接続部との間に配置され、かつ々々を電気的に接続する複数の突起状電極であって、前記配線基板の一面上に対して前記半導体チップのバランスがどれか配列して配置された複数の突起状電極と有し、前記複数の接続部は、前記配線基板の一面上から深さ方向に向かって前記配線基板の正面よりも深い位置に配置されている。前記配線基板は、その一面に形成された絶縁膜に形成された開口とを更に有し、前記複数の接続部は、前記開口の底部に配置されている。

【0021】前記絶縁膜は、前記半導体チップの周囲を囲って存在している。前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく、また、前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きい。上記した手段(1)によれば、半導体チップをフリップチップ実装する時、配線基板の正面から接続部までの深さによって突起状電極の嵩高が吸収されるため、配線基板の正面に対する半導体チップの傾きを抑制することができる。

【0022】(2) 本発明の電子装置は、一面上に第1パット配列ピッチで配置された複数の第1電極パッドを有する第1半導体チップと、一面上に前記第1パット配列ピッチより小さい第2パット配列ピッチで配置された複数の第2電極パッドを有する第2半導体チップと、一面上の第一領域に、前記複数の第1電極パッドと対応して配置された複数の第1接続部と、前記第一領域の第1領域と異なる第2領域に、前記複数の第2電極パッドと対応して配置された複数の第2接続部とを有する配線基板と、前記各第1電極パッドと前記各第1接続部との間に配置され、かつ々々を電気的に接続する複数の第1突起状電極と、前記各第2電極パッドと前記各第2接続部との間に配置され、かつ々々を電気的に接続する複数の第2突起状電極とを有し、前記複数の第1接続部及び前記複数の第2接続部は、前記配線基板の正面から深さ方向に向かって前記配線基板の正面よりも深い位置に配置され、前記複数の第2突起状電極は、前記複数の第1突起状電極よりも段数が多い多段バンプ構造になって

いる。前記配線基板は、その一面に形成された絶縁膜と、前記一面上の第1領域において前記絶縁膜に形成された第1開口と、前記一面上の第2領域において前記絶縁膜に形成された第2開口とを更に有し、前記複数の第1接続部は、前記第1開口の底部に配置され、前記複数の第2接続部は、前記第2開口の底部に配置されている。前記第2突起状電極は、前記第2半導体チップに接続された基部バンプと、前記基部バンプに構み重ねられた重ねバンプとを有する多段バンプ構造になっている。前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンプと、前記基部バンプに構み重ねられた第1重ねバンプと、前記第1重ねバンプに構み重ねられた第2重ねバンプとを有する多段バンプ構造になっている。

【0023】上述した手段(2)によれば、第1及び第2半導体チップをフリップチップ実装する時、第2半導体チップにおいても配線基板の第2接続部に突起状電極を接続することができるため、パット配列ピッチが異なる第1及び第2半導体チップを一つの配線基板上に実装することができる。

【0024】

【免責の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、免責の実施の形態を説明するための全国において、同一機能を育てるものは同一符号付け、その繰り返しの説明は省略する。

【0025】(実施形態1) 図1は本発明の実施形態1であるMCM(電子装置)の模式的平面図であり、図2は図1のMCMの模式的断面図であり、図3は図1のMCMに組み込まれたバッファ用チップの実装状態を示す模式的断面図であり、図4は図1のMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図であり、図5は図1のMCMに組み込まれた制御用チップの実装状態を示す模式的断面図であり、図6は図1のMCMに組み込まれた容量要素の実装状態を示す模式的断面図であり、図7は図1のMCMに組み込まれたバッファ用チップ、メモリ用チップ及び制御用チップのパッド配線を部分的に示す模式的平面図であり、図8は図1のMCMに組み込まれたバッファ用チップ、メモリ用チップ及び制御用チップの断面構成を示す模式的断面図であり、図9は図1のMCMに組み込まれたメモリ用チップの模式的断面図である。

【0026】図1及び図2に示すように、本実施形態のMCM(電子装置)1は、配線基板2の正面2X上に電子部品として複数の駆動部品及び復数の受動部品を搭載し、配線基板2の正面2と対向する裏面(他の正面)2Yに外部接続用端子として複数のボール形状の半田バンプ2Zを配置した構成となっている。駆動部品としては、バッファ用チップと呼ぶ10、記憶回路(例えばSDRAM)を内蔵した複数の半導体チップ(以下、バッファ用チップと呼ぶ)10、記憶回路(例えばSDRAM)を内蔵した複数の半導体チップ(以下、メ

50

特許 2002-76057

12

(7)

11

モリ用チップと呼ぶ) 12、制御回路を内蔵した1つの半導体チップ(以下、制御用チップと呼ぶ) 14、NAND回路を内蔵した1つの半導体チップ(以下、演算用チップと呼ぶ) 16が用いられている。これらの受動部品は、フリップチップ実装技術によって配線基板2の一本面上に実装されている。受動部品としては、面実装型からなる複数の容量要素(17、18)及び抵抗要素19が用いられている。これらの受動部品は半田リフロー法によって配線基板2の一本面上に実装されている。

【0027】配線基板2は、図3乃至図6に示すように、リジット基板3と、このリジット基板3上にビルドアップ法で形成された柔軟層4と、この柔軟層4上に形成された絶縁膜9とを有する構成となっている。リジット基板3及び柔軟層4は、詳細に図示していないが、多層記録構造となっている。リジット基板3の各絶縁層は例えばガラス樹脂又はエポキシ系又はポリイミド系の樹脂を含浸させた高弾性樹脂層で形成され、柔軟層4の各絶縁層は例えばエポキシ系の低弾性樹脂で形成され、リジット基板3及び柔軟層4の各絶縁層は例えは鋼(Cu)からなる金属層で形成されている。絶縁層9は、例えはポリイミド系の樹脂で形成されている。この絶縁層9は半田付け部品(本実施形態では17、18、19)に対して実装時の半田融れ広がりを制御し、フリップチップ部品(本実施形態では10、12、14)に対しては実装時における接着力の確保を担う。

【0028】バッファ用チップ10、メモリ用チップ12、制御用チップ14及び演算用チップ16の平面形状は方形状で形成されている。本実施形態において、バッファ用チップ10及びメモリ用チップ12は例えば長方形で形成され、制御用チップ14及び演算用チップ16は例えば正方形で形成されている。

【0029】バッファ用チップ10、メモリ用チップ12、制御用チップ14及び演算用チップ16は、これに規定されないが、主に、半導体基板と、この半導体基板の回路形成面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜(最終保護)とを有する構成となっている。半導体基板は例えば単結晶シリコンで形成され、絶縁層は例えば酸化シリコン膜で形成され、配線層は例えばアルミニウム(A1)又はアルミニウム合金等の金属膜で形成されている。メモリ用チップ12の表面保護膜は、例えはメモリにおける耐圧強度の向上を図ることができるボリミド系の樹脂で形成されている。バッファ用チップ10、制御用チップ14及び演算用チップ16の表面保護膜は、例えば酸化シリコン又は塗装シリコンコート及び絶縁膜及び有機絶縁膜で形成されている。なお、演算用チップ16はバッファ用チップ10とは同様の構成となっているので、演算用チップ16に關しては以下の説明を省略する。

【0030】バッファ用チップ10、メモリ用チップ12

及び制御用チップ14において、各チップの互いに對向する一面及び他の正面のうちの一面向である回路形成面(10X、12X、14X)には、図3乃至図5及び図7に示すように、複数の電極パッド(10a、12a、14a)が形成されている。各チップの複数の電極パッド(10a、12a、14a)は、各チップの多層配線層のうちの最上層の配線層に形成され、各チップの表面保護膜に形成されたボンディング開口によって露出されている。

10 【0031】バッファ用チップ10の複数の電極パッド10aは、図7(a)に示すように、バッファ用チップ10の回路形成面10Xの各辺側にこの各辺に沿って配設されている。メモリ用チップ12の複数の電極パッド12aは、図7(b)に示すように、メモリ用チップ12の回路形成面12Xの互いに交差する長辺方向(X方向)及び短辺方向(Y方向)の二つの中央領域のうち、長辺方向の中心領域に沿う中央領域に沿って配設されている。制御用チップ14の複数の電極パッド14aは、図7(c)に示すように、制御用チップ14の回路形成面14Xの各辺側にこの各辺に沿って配設されている。即ち、バッファ用チップ10及びメモリ用チップ12の電極パッド12aは中央パッド配列で配設され、メモリ用チップ12の電極パッド12aは中央パッド配列で配設されている。

20 【0032】バッファ用チップ10の高電極パッド10a上には、図8(a)に示すように、突起状電極として例えは金(Au)からなるスタッズパンプ11が形成されている。メモリ用チップ12の各電極パッド12a上には、図8(b)に示すように、突起状電極として例えはAuからなるスタッズパンプ13が形成されている。

30 制御用チップ14の各電極パッド14a上には、図8(c)に示すように、突起状電極として例えはAuからなるスタッズパンプ15が形成されている。これらはスタッズパンプ(11、13、15)は、例えは、Auワイヤを使用し、熱圧着に超音波振動を併用したホールポンディング法によって形成されている。このホールポンディング法は、Auワイヤの先端部にホールを形成し、その後、超音波振動を與えながらチップの電極パッドにホールを熱圧着し、その後、ホールの部分からAuワイヤを切断してパンプを形成する方法である。従って、電極パッド上に形成されたスタッズパンプは、電極パッドに対して強固に接続されている。

40 【0033】配線基板1において、柔軟層4の最上層の配線層には、詳細に図示していないが、複数の配線5(図3参照)、複数の配線6(図4参照)、複数の配線7(図5参照)及び複数の電極パッド8(図6参照)が形成されている。

【0034】図3に示すように、複数の配線5の夫々は夫々の一部分からなる接続部5aを有し、この夫々の接続部5aは絶縁膜9に形成された開口9aによって露出

(8)

特許 2002-76057

13

14

されている。複数の配線 5 の夫々の他の部分は絶縁層 9 で覆われている。複数の配線 5 の夫々の接続部 5 a は、バッファ用チップ 1 0 の複数の電極パッド 1 0 a と対応して配置されている。

【0035】図 4 に示すように、複数の配線 6 の夫々は夫々の一部分からなる接続部 6 a を有し、この夫々の接続部 6 a は絶縁層 9 に形成された開口 9 b によって露出されている。複数の配線 6 の夫々の他の部分は絶縁層 9 で覆われている。複数の配線 6 の夫々の接続部 6 a は、メモリ用チップ 1 2 の複数の電極パッド 1 2 a と対応して配置されている。

【0036】図 4 に示すように、複数の配線 7 の夫々は夫々の一部分からなる接続部 7 a を有し、この夫々の接続部 7 a は絶縁層 9 に形成された開口 9 c によって露出されている。複数の配線 7 の夫々の他の部分は絶縁層 9 で覆われている。複数の配線 7 の夫々の接続部 7 a は、制御用チップ 1 4 の複数の電極パッド 1 4 a と対応して配置されている。

【0037】図 4 に示すように、複数の電極パッド 8 の夫々は絶縁層 9 に形成された開口 9 d によって露出されている。この複数の電極パッド 8 の夫々は、柔軟層 4 の最上層の配線層に形成された複数の配線の夫々の一部が形成され、この複数の配線の夫々の他の部分は絶縁層 9 で覆われている。

【0038】複数の接続部 5 a は開口 9 a の底部に配置され、複数の接続部 6 a は開口 9 b の底部に配置され、複数の接続部 7 a は開口 9 c の底部に配置され、複数の電極パッド 8 は開口 9 d の底部に配置されている。即ち、記録基板 2 は、一正面 2 X の表面部に、一正面 2 X から深さ方向に向かって一正面 2 X よりも深い位置に配置された複数の接続部 (5 a, 6 a, 7 a) と複数の電極パッド 8 を有する構成となっている。

【0039】図 3 に示すように、バッファ用チップ 1 0 は、その回路形成面 1 0 X が記録基板 2 の一正面 2 X と向かい合った状態で実装されている。バッファ用チップ 1 0 と記録基板 2 の間に接着用樹脂として例えば異方導電性樹脂 2 0 が介在される。この異方導電性樹脂 2 0 によってバッファ用チップ 1 0 は記録基板 2 に接着固定されている。

【0040】複数のスタッドパンプ 1 1 は、バッファ用チップ 1 0 の各電極パッド 1 0 a と記録基板 2 の各接続部 5 a の間に配置され、夫々を電気的に接続している。スタッドパンプ 1 1 は、記録基板 2 とバッファ用チップ 1 0 との間に介在された異方導電性樹脂 2 0 の熱収縮力 (加热状態から常温状態に戻った時に生じる収縮力) や熱硬化収縮力 (熱硬化性樹脂の硬化時に生じる収縮力) 等によって、記録基板 2 の接続部 5 a に圧接されている。なお、スタッドパンプ 1 1 と記録基板 2 の接続部 5 a の間に異方導電性樹脂 2 0 が多数使用された導電性粒子のうちの一部が介在されている。

【0041】記録基板 2 の接続部 5 a には、記録基板 2 の深さ方向に延む凹部が形成されている。この凹部の内部において、スタッドパンプ 1 1 と接続部 5 a とが接続されている。このように、凹部の内部において、スタッドパンプ 1 1 と接続部 5 a とが接続することにより、凹部の溝み蓋に相当する分、記録基板 2 の一正面 2 X とバッファ用チップ 1 0 の回路形成面 1 0 X との間ににおける異方導電性樹脂 2 0 の体積を小さくすることができる。

【0042】スタッドパンプ 1 1 は、絶縁層 9 に形成された開口 9 a を通して、開口 9 a の底に配置された接続部 5 a と接続されている。即ち、スタッドパンプ 1 1 は、記録基板 2 の一正面 2 X から深さ方向に向かってその一正面 2 X よりも深い位置に配置された接続部 5 a と接続されている。このように、記録基板 2 の一正面よりも深い位置に接続部 5 a を配置することにより、記録基板 2 の一正面 2 X から接続部 5 a までの深さに相当する分、記録基板 2 の一正面 2 X とバッファ用チップ 1 0 の回路形成面 1 0 X との間ににおける異方導電性樹脂 2 0 の体積を小さくすることができる。

【0043】接続部 5 a の凹部は、接続部 5 a 及び柔軟層 4 の弾性変形によって形成されている。接続部 5 a 及び柔軟層 4 の弾性変形による凹部は、記録基板 2 の一正面 2 X 上にバッファ用チップ 1 0 を実装する時の圧着力によって形成することができる。接続部 5 a 及び柔軟層 4 の弾性変形によって凹部を形成した場合、スタッドパンプ 1 1 に接続部 5 a 及び柔軟層 4 の弾性力が作用するため、スタッドパンプ 1 1 と接続部 5 a の圧接力が増加する。

【0044】また、異方導電性樹脂 2 0 の厚さ方向の影響によって記録基板 2 の一正面 2 X とバッファ用チップ 1 0 の回路形成面 1 0 X との間の潤滑性が広がり、これに伴ってスタッドパンプ 1 1 が上方に移動しても、スタッドパンプ 1 1 の移動に追随して接続部 5 a の凹部の溝み蓋が変形するため、記録基板 2 の接続部 5 a とスタッドパンプ 1 1 との接続を確保することができる。

【0045】図 4 に示すように、メモリ用チップ 1 2 は、その回路形成面 1 2 X が記録基板 2 の一正面 2 X と向かい合った状態で実装されている。メモリ用チップ 1 2 と記録基板 2 の間に接着用樹脂として例えば異方導電性樹脂 2 0 が介在され、この異方導電性樹脂 2 0 によってメモリ用チップ 1 2 は記録基板 2 に接着固定されている。

【0046】複数のスタッドパンプ 1 3 は、メモリ用チップ 1 2 の各電極パッド 1 2 a と記録基板 2 の各接続部 6 a の間に配置され、夫々を電気的に接続している。スタッドパンプ 1 3 は、記録基板 2 とメモリ用チップ 1 2 の間に介在された異方導電性樹脂 2 0 の熱収縮力や熱硬化収縮力等によって、記録基板 2 の接続部 6 a に圧接されている。なお、スタッドパンプ 1 3 と記録基板 2 の接続部 6 a の間に、異方導電性樹脂 2 0 に多数設

(9)

特許2002-76057

15

16

入された導電性粒子のうちの一部が介在されている。【0047】配線基板2の接続部6aには、配線基板2の深さ方向に延む凹部が形成されている。この凹部の内部において、バッファ用チップ10の場合と同様に、スタッッドバンプ13と接続部6aとが接続されている。スタッッドバンプ13は、絶縁膜9に形成された開口9bを通して、開口9bの底に配置された接続部6aと接続されている。即ち、スタッッドバンプ13は、バッファ用チップ10の場合と同様に、配線基板2の正面2Xから深さ方向に向かってその正面2Xよりも深い位置に配置された接続部6aと接続されている。

【0048】図5に示すように、制御用チップ14は、その面積が正面2Xより配線基板2の正面2Xと向かい合いう状態で実装されている。制御用チップ14と配線基板2との間に接着用樹脂として例えれば異方導電性樹脂20が介在している。この異方導電性樹脂20によって制御用チップ14は配線基板2に接着固定されている。

【0049】複数のスタッッドバンプ15は、制御用チップ14の各端部バッジ14aと配線基板2の各接続部7aとの間に配置され、先を電気的に接続している。スタッッドバンプ15は、配線基板2と制御用チップ14との間に介在された異方導電性樹脂20の熱收縮力や熱硬化成り能力等によって、配線基板2の接続部7aに圧接されている。なお、スタッッドバンプ15と配線基板2の接続部7aとの間に異方導電性樹脂20に多数導入された導電性粒子のうちの一部が介在されている。

【0050】配線基板2の接続部7aには、配線基板2の深さ方向に延む凹部が形成されている。この凹部の内部において、バッファ用チップ10の場合と同様に、スタッッドバンプ13と接続部7aとが接続されている。スタッッドバンプ13は、絶縁膜9に形成された開口9cを通して、開口9cの底に配置された接続部7aと接続されている。即ち、スタッッドバンプ13は、バッファ用チップ10の場合と同様に、配線基板2の正面2Xから深さ方向に向かってその正面2Xよりも深い位置に配置された接続部7aと接続されている。

【0051】図6に示すように、容量素子17の電極17aは配線基板2の電極バッジ8に半田11によって電気的にシールド的に接続されている。容量素子17aと配線基板2の電極バッジ8との接続は、半田21の濡れ広がりを制御するため、絶縁膜9に形成された開口9dを通して行われている。なお、容量素子18及び抵抗素子19においても、容量素子17と同様にして接続されている。

【0052】図7に示すように、バッファ用チップ10のバッファ用チップP1は、例えば110 [μm]程度で設定されている。メモリ用チップ12及び制御用チップ14のバッファ用チップ(P2, P3)は、例えば80 [μm]程度で設定されている。チップの電極バッジは、バッファ用チップによって平面サイズが規制される

ため、バッファ用チップが狭くなるに従って小さくなる。一方、チップの電極バッジ上に形成されるスタッッドバンプは電極バッジの平面サイズによって大きさが制限されるため、電極バッジの平面サイズが小さくなるに従って高さが低くなる。即ち、メモリ用チップ12及び制御用チップ14の電極バッジ上に形成されたスタッッドバンプ(13, 15)は、バッファ用チップ10の電極バッジ上に形成されたスタッッドバンプ11よりも高さが低くなる。

【0053】配線基板2の一正面2Xからその接続部(5a, 6a, 7a)までの深さよりもスタッッドバンプの高さが高いチップにおいては、配線基板2の接続部とスタッッドバンプとの接続を容易に行なうことができる。配線基板2の一正面2Xからその接続部までの深さよりもスタッッドバンプの高さが低いチップにおいては、配線基板2の接続部とスタッッドバンプとの接続が困難となる。

【0054】そこで、バッファ用チップが狭い、即ち電極バッジの平面サイズが小さいチップにおいては、スタッッドバンプを多段バンプ構造にして高さを稼ぐことが有効である。本実施形態において、バッファ用チップ10のスタッッドバンプ11は、図3に示すように、単段バンプ構造になっている。メモリ用チップ12のスタッッドバンプ13は、図4に示すように、電極バッジ12a上に形成された基部バンプ13aと、この基部バンプ13a上に積み重ねられた重ねバンプ13bとを有する二段バンプ構造となっている。制御用チップ14のスタッッドバンプ15は、図5に示すように、電極バッジ14a上に形成された基部バンプ13aと、この基部バンプ13a上に積み重ねられた重ねバンプ13bとを有する二段バンプ構造となっている。図8に示すように、スタッッドバンプ11の高さT1、スタッッドバンプ13の高さT2及びスタッッドバンプ15の高さT3は、ほぼ同一となっている。

【0055】このようにして配列ビッチが異なる各チップのスタッッドバンプの高さをほぼ同一とすることにより、バッファ用チップが狭いメモリ用チップ12及び制御用チップ14においても、配線基板2の接続部(6a, 7a)にスタッッドバンプ(13, 15)を接続することができる。

【0056】図7(b)に示すように、メモリ用チップ12の電極バッジ12bは、中央バッジ配列となっている。これに伴い、図9に示すように、電極バッジ12b上に形成されたスタッッドバンプ13も中央バンジ配列となる。このようにスタッッドバンプ13が中央バンジ配列のメモリ用チップ12をフリップチップ実装に用いた場合、メモリ用チップ12のバランスがとれないので、配線基板2の正面2Xに対してメモリ用チップ12が傾いてしまう。

【0057】そこで、バランスがとれないバンジ配列の

(10)

特許 2002-76057

18

17

メモリ用チップ12においては、配線基板2の一正面2Xから深さ方向に向かってその一正面2Xよりも深い位置に配線基板2の接続部6aを配置することが有効である。本実施形態において、接続部6aは、図4に示すように、接続部6aよりも上層に形成された絶縁膜9によって、配線基板2の一正面2Xよりも深い位置に配置されている。このようにして接続部6aを配置することにより、メモリ用チップ12をフリップチップ実装する時、配線基板2の一正面2Xから接続部6aまでの深さによってスタッズパンプ13の高さが吸収され、これに伴って配線基板2の一正面2Xと半導体チップ12の回路形成面12Xとの間の隙間が広くなるため、配線基板2の一正面2Xに対するメモリ用チップ12の傾きを抑制することができる。

【0058】なお、配線基板2の一正面2Xよりも深い位置に接続部6aを配置し、配線基板2の一正面2Xに対するメモリ用チップ12の傾きを抑制するためには、絶縁膜9がメモリ用チップ12の回路を封して存するように絶縁膜9及び開口9bを形成する必要がある。即ち、絶縁膜9の平面サイズをメモリ用チップ12の平面サイズよりも小さくし、開口9aの平面サイズをメモリ用チップ12の平面サイズよりも小さくする。本実施形態において、絶縁膜9は配線基板2の正面のほぼ全領域を覆う平面サイズで形成され、開口9bはメモリ用チップ12の平面サイズよりも小さい平面サイズで形成されている。また、開口9bは配線基板2の接続部6aの配列方向に沿う四方形の平面形状で形成されている。

【0059】次に、MCM1の製造方法について、図1乃至図15を用いて説明する。図11は二段パンプ構造のスタッズパンプ形成工程を説明するための模式的断面図であり、図12はバッファ用チップ実装工程を説明するための模式的断面図であり、図13はメモリ用チップ実装工程を説明するための模式的断面図であり、図15はメモリ用チップ実装工程を説明するための模式的断面図である。

【0060】まず、配線基板2上に実装する電子部品(10, 12, 14, 16, 17, 18, 19)を準備する。

【0061】次に、バッファ用チップ10、メモリ用チップ12、剥離用チップ14及び演算用チップ16の各電極パッド上に、ボールポンディング法でタックドバンプを形成する。バッファ用チップ10及び演算用チップ16においては単段パンプ構造のスタッズパンプを形成する。メモリ用チップ12及び剥離用チップ14においては多段パンプ構造(本実施形態では二段)のスタッズパンプを形成する。二段パンプ構造のスタッズパンプは、メモリ用チップ12で説明すると、まず、ヒートステージ25上にメモリ用チップ12を接着し、その後、図11(a)に示すように、メモリ用チップ12の電極

パッド12a上にボールポンディング法で基部パンプ13aを形成し、その後、図11(b)に示すように、基部パンプ13a上に重ねパンプ13bを形成することによって得られる。重ねパンプ13b上に更に重ねパンプを形成することにより、三段パンプ構造又はそれ以上の多段パンプ構造のスタッズパンプを形成することもできる。

【0062】次に、配線基板2の一正面2Xのバッファ用チップ搭載領域に、シート状(「フルム状」)に加工された異方導電性樹脂20を貼り付ける。異方導電性樹脂20として、例えば、エポキシ系の熱硬化性樹脂に多数の導電性粒子が混入されたものを用いる。

【0063】次に、配線基板2をステージ26Aに接着し、その後、図12に示すように、配線基板2の一正面2Xのバッファ用チップ搭載領域上に、異方導電性樹脂20を介在して、バッファ用チップ10を接着する。バッファ用チップ10の接着は、その回路形成面10Xが配線基板2の一正面2Xと向かい合う状態で行う。

【0064】次に、配線基板2をヒートステージ26Bに接着し、その後、図13に示すように、加熱しながらフルル27でバッファ用チップ10を圧着して配線基板2の接続部5aにスタッズパンプ11を接続し、その後、異方導電性樹脂20が硬化するまで圧着状態を保持する。この際、スタッズパンプ11は配線基板2の接続部5aに圧着される。この工程において、配線基板2の一正面2Xから接続部5aまでの深さをスタッズパンプ11の高さよりも浅くしておくことにより、配線基板2の接続部5aにおいて、スタッズパンプ11が接続された部分にバッファ用チップ11の圧着力によって凹部が形成される。また、この凹部の内部において、配線基板2の接続部5aとスタッズパンプ11とが接続される。また、凹部は接続部5aと柔軟層4の弾性変形によって形成されるため、スタッズパンプ11には接続部5a及び柔軟層4の彈性力が作用する。

【0065】次に、バッファ用チップ10と同様の方法により、配線基板2の一正面2Xの演算用チップ搭載領域に演算用チップ16を実装する。

【0066】次に、配線基板2の一正面2Xのバッファ用チップ搭載領域に、シート状(「フルム状」)に加工された異方導電性樹脂20を貼り付ける。異方導電性樹脂20として、例えば、エポキシ系の熱硬化性樹脂に多数の導電性粒子が混入されたものを用いる。

【0067】次に、配線基板2をステージ26Aに接着し、その後、図14に示すように、配線基板2の一正面2Xのメモリ用チップ搭載領域上に、異方導電性樹脂20を介在して、メモリ用チップ12を接着する。メモリ用チップ12の接着は、その回路形成面12Xが配線基板2の一正面2Xと向かい合う状態で行う。

【0068】次に、配線基板2をヒートステージ26Bに接着し、その後、図15に示すように、加熱しながら

(11)

特許 2002-76057

20

フル28でメモリ用チップ12を圧着して配線基板2の接続部6aにスタッダードバンプ13を接続し、その後、異方導電性樹脂20が硬化するまで圧着状態を保持する。この時、スタッダードバンプ13は配線基板2の接続部6aに圧接される。この工程において、バッファ用チップ10と同様に、スタッダードバンプ11が接続された接続部6aの部分にメモリ用チップ12の圧着力によって凹部が形成される。また、この凹部の内部において、配線基板2の接続部6aとスタッダードバンプ13が接続される。また、凹部は接続部6aと柔軟層4の弹性変形によって形成されたため、スタッダードバンプ13は接続部6a及び柔軟層4の弹性力が作用する。

【0069】また、この工程において、スタッダードバンプ13は多段バンプ構造となっているため、バット配列ピッチが大きいメモリ用チップ12においても、配線基板2の接続部6aにスタッダードバンプ13を接続することができます。

【0070】また、この工程において、接続部6aは、接続部6aよりも上層に形成された絶縁膜8によって、配線基板2の一面面2Xよりも深い位置に配置されてしまふため、配線基板2の一面面2Xから接続部6aまでの深さによってスタッダードバンプ13の高さが吸収され、これに伴って配線基板2の一面面2Xと半導体チップ12の回路形成面12Xとの間の間隔が狭くなれる。配線基板2の一面面2Xとメモリ用チップ12の回路形成面12Xとの間の間隔が狭くなれば、例えば実装工程の途中において、メモリ用チップ12が傾くことがあっても配線基板2の一面面2Xがメモリ用チップ12を支えるため、実装後の構造に問題が生じるほどメモリ用チップ12が傾くことを防ぐことができる。

【0071】また、チップを接着部固定する接着用樹脂中に例えば導通性粒子や、シリカのフィラーなど、粒状の物質が含まれる場合には、配線基板2の一面面2Xとメモリ用チップ12の回路形成面12Xとの間に前記粒状の物質が挟まれるため、半導体チップ実装工程におけるメモリ用チップ12の傾きはより抑制される。

【0072】また、半導体チップ実装工程における接着用樹脂（20）の粘度が高い場合には、接着用樹脂の流动に対する抵抗力によってメモリ用チップ12の傾きは抑制される。従って、これらの何れかの機構により、配線基板2の一面面2Xに対するメモリ用チップ12の傾きを抑制することができる。

【0073】次に、メモリ用チップ13と同様の方法により、配線基板2の一面面2Xの側面部用チップ絶縁領域に制御用チップ14を実装する。このバット配列ピッチが大きい制御用チップ14においても、配線基板2の接続部7aにスタッダードバンプ15を接続することができる。

【0074】なお、チップを実装する順番は、これに規定されるものではなく、例えばメモリ用チップや制御用チップを先に実装してもよい。

【0075】次に、配線基板2の電極パッド8上にペースト状の半田21を塗布し、その後、各電極パッド上に能動部品（17、18、19）を配置し、その後、熱処理を施してペースト状の半田21を溶融して、能動部品の電極と配線基板2の電極パッドとを固着する。

【0076】次に、配線基板2の一面面2Xに向かう裏面に配置された複数の電極パッドの夫々の表面に接続用粒子としてボール形状の半田バンプ22を形成することにより、本実施形態のMCM1がほぼ完成する。

【0077】このように、本実施形態によれば、以下の効果が得られる。

(1) MCM1において、複数の接続部6aは、配線基板2の一面面2Xから深さ方向に向かって配線基板2の一正面2Xよりも深い位置に配置されている。このような構成とすることにより、バランスがとれないバンプ配列のメモリ用チップ12をフリップチップ実装する時、配線基板2の一正面2Xから接続部6aまでの深さによってスタッダードバンプ13の高さが吸収され、これに伴って配線基板2の一正面2Xと半導体チップ12の回路形成面12Xとの間の間隔が広くなるため、配線基板2の一面面2Xに対するメモリ用チップ12の傾きを抑制することができる。

【0078】(2) MCM1において、配線基板2は、その一面面2Xに形成された絶縁膜9と、この絶縁膜9に形成された開口9bと、この開口9bの底部に配置された接続部6aとを有する構成となっている。接続部6aは半田付け部品（本実施形態では17、18、19）に対して実装時の半田濡れ広がりを抑制し、フリップチップ部品（本実施形態では10、12、14）に対しては実装時における接着用樹脂との接着力の確保を図る。このような構成とすることにより、配線基板2の一正面2Xから深さ方向に向かって配線基板2の一正面2Xよりも深い位置に複数の接続部6aが配置された配線基板2を容易に形成することができる。大幅なコストの増加を招くことなく、バランスがとれないバンプ配列のメモリ用チップ12を配線基板2の一正面2X上にフリップチップ方式で実装したMCM1を提供することができるとする。

【0079】(3) MCM1において、バット配列ピッチが大きいメモリ用チップ12及び制御用チップ14のスタッダードバンプ（13、15）は、多段バンプ構造となっている。このような構成とすることにより、バット配列ピッチが大きいメモリ用チップ12及び制御用チップ14においても、配線基板2の接続部（6a、7a）にスタッダードバンプ（13、15）を接続することができるため、バット配列ピッチが異なるバッファ用チップ10、メモリ用チップ12、制御用チップ14及び演算用チップ16を一つの配線基板2上に実装することができる。

【0080】なお、本実施形態では、チップのバランスがとれないバンプ配列として、中央バンプ配列を例にし

て説明したが、この他に、チップのバランスがとれないパンプ配列としては、図16に示すものがある。図16(a)は、中央パンプ配列において、倍数のスタッダントパンプ13を千鳥状に配列したパンプ配列である。図16(b)は、中央パンプ配列において、倍数のスタッダントパンプ13を段違いに配列したパンプ配列である。図16(c)は、一辺パンプ配列である。また、この他に、チップの回路形成面を一方向に三等分した三つの領域のうち向かひの領域にスタッダントパンプが配置されている場合や、パンプを結んで形成される多角形の外側に半導体チップの重心がある場合においてもチップのバランスがとれない。

【0081】また、本実施形態では、スタッダントパンプ13を二段パンプ構造にしてスタッダントパンプ13の高さを稼いだ例について説明したが、配線基板2の一正面2Xから接続部6までの深さを、電極パッド12aの平面サイズの大きさに応じて、図17に示すように、スタッダントパンプ13は、電極パッド12aと接続された基部パンプ13aと、この基部パンプ13aに積み重ねられた重ねパンプ13bと、この重ねパンプ13bに積み重ねられた重ねパンプ13cとを有する三段パンプ構造にしてもよい。

【0082】また、本実施形態では、パンプ延びがほぼ同一の基部パンプ13a及び重ねパンプ13bで二段パンプ構造のスタッダントパンプ13を形成した例について説明したが、図18に示すように、パンプ延び異なる基部パンプ13a及び重ねパンプ13bで二段構成のスタッダントパンプ13を形成してもよい。この場合、ボールポンディング法に基づいてスタッダントパンプを形成する時に、ワイヤ径の異なるAuワイヤを用いることで、パンプ延びが異なる基部パンプ13a及び重ねパンプ13bを得ることができる。

【0083】また、本実施形態では、半導体チップの電極パッド上に形成される超起状電極としてスタッダントパンプを用いた例について説明したが、これに限定されるものではなく、例えばPb-Sn組成の焼付パンプを用いてよい。この場合、半導体チップの実装時における熱圧着温度よりも融点が高い封止からなる半田パンプを用いる。

【0084】また、本実施形態では、半導体チップの電極パッドと配線基板の接続部との間に介在される突起状電極を半導体チップの電極パッド上に予め形成した例について説明したが、突起状電極は配線基板の接続部上に予め形成してもよい。

【0085】また、本実施形態では、配線基板に半導体チップを接着固定する接着用樹脂としてシート状の異方導電性樹脂を用いた例について説明したが、これに限定されるものではなく、例えばペースト状の異方導電性樹脂(ACP: Anisotropic Conductive Paste)やシート状の非導電性樹脂(NCF: Non Conductive Felt)

を用いてもよい。

【0086】(実施形態2) 本実施形態では、耐温試験における接線信頼性の向上について、図19及び図20を用いて説明する。図19は本発明の実施形態2であるMCMにおいて、メモリ用チップの実装状態を示す模式的断面図であり、図20は図19の一部を拡大した模式的断面図である。なお、本実施形態のスタッダントパンプ13は单段構造となっている。

【0087】異方導電性樹脂20を用いたフリップチップ実装構造では、耐温性試験における接線信頼性の確保が重要である。本発明者等は、配線基板2の絶縁膜9の厚さを変えて耐温性的評価を行った結果、絶縁膜9の厚さを薄くすることによって、配線基板2の接続部6aとスタッダントパンプ13との接続寿命を向上することがわかった。この理由は次のように考えられる。

【0088】ACF実装方式では、メモリ用チップ12を間にあけた場合、配線基板2上に異方導電性樹脂20を介してメモリ用チップ12を配置し、その後、加熱しながら配線基板2にメモリ用チップ12を圧着して、20 配線基板2にメモリ用チップ12を接着固定すると共に、配線基板2の接続部6aにスタッダントパンプ13を電気的に接続している。この時、絶縁膜9の開口9bの内部に異方導電性樹脂20が充填される。硬化後の異方導電性樹脂20は、吸湿によって体積が膨張する特性がある。スタッダントパンプの開口9bの中に充填された異方導電性樹脂20は、配線基板2の一正面2Xとメモリ用チップ12の回路形成面12Xとの間に充填された異方導電性樹脂20と比較して厚みが大きいため、吸湿に伴う膨張によって生じる変位量も大きくなる。そして、異方導電性樹脂20の吸湿膨張による配線基板2の一正面2Xとメモリ用チップ12の回路形成面12Xとの変位に、配線基板2の柔軟層4の弹性変形の回復が追隨できなくなったりときにはスタッダントパンプ13と配線基板2の接続部6aとの接続不良が生じる。開口9bの深さは絶縁膜9の厚さで律制されるため、絶縁膜9の厚さが薄くなるに従って開口9bの深さが浅くなり、これに伴って開口9bの内部における異方導電性樹脂20の体積が小さくなる。これにより、絶縁膜9の厚さを薄くすることによって、配線基板の接続部6aとスタッダントパンプ13との接続寿命の信頼性が向上するものと考える。

【0089】湿度85℃／湿度85%の条件下で評価した結果の一例を示す。

(1) 配線6上における絶縁膜9の厚さ9t(図20参照)を25[μm]とした場合、接続寿命は96hであった。

(2) 配線6上における絶縁膜9の厚さ9tを20[μm]とした場合、接続寿命は500h以上であった。

(3) 配線6上における絶縁膜9の厚さ9tを15[μm]とした場合、接続寿命は500h以上であった。

このようなことから、配線6上における絶縁膜9の厚さ

(13)

特開2002-76057

23

24

9tも20 [μm] 以下とすることが望ましい。
【0080】なお、絶縁層9には多数のフィラーが使用されている場合があるが、このような場合、挿入されたフィラーのうちの最も粒度が大きいフィラーよりも、配線6上における絶縁層9の厚さ9tを厚くする必要がある。最も粒径が大きいフィラーよりも、絶縁層9の厚さ9tを厚くした場合、絶縁層9からフィラーが飛び出してしまう。

【0081】また、このように信頼性向上のためにスタッダップバンプ13を小さくし、それに伴ってチップ下の絶縁層9の厚さ9tを薄くした場合で、絶縁層9の厚さ9tが開口に形成される半田実装部品の半田の流ればかりを制御するために道はないほど薄くなった場合には、絶縁層9の厚さが、配線基板2との場所によって最適によるよう変化をつけてもよい。

【0082】以上、本発明者によってなされた発明を、前記実施形態に基づく具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々度更可能であることは勿論である。

【0083】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0084】本発明によれば、配線基板の一面側に対する半導体チップの傾きを抑制することができる。

【0085】本発明によれば、配列ビッチが異なる複数種類の半導体チップを同一基板上に実装することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1であるMCM（電子装置）の模式的平面図である。

【図2】図1のMCMの模式的底面図である。

【図3】図1のMCMに組み込まれたバッファ用チップの実装状態を示す模式的断面図である。

【図4】図1のMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図である。

【図5】図1のMCMに組み込まれた制御用チップの実装状態を示す模式的断面図である。

【図6】図1のMCMに組み込まれた容積素子の実装状態を示す模式的断面図である。

【図7】図1のMCMに組み込まれたバッファ用チップ、メモリ用チップ及び制御用チップのバット配列を部分的に示す模式的平面図である。

【図8】図1のMCMに組み込まれたバッファ用チップ、メモリ用チップ及び制御用チップの配線構成を示す模式的断面図である。

【図9】図1のMCMに組み込まれたメモリ用チップの配線構成を示す模式的平面図である。

【図10】図1のMCMに用いられた配線基板の一部を示す模式的断面図である。

【図11】本発明の実施形態1であるMCMの製造において、メモリ用チップの電極パッド上にスタッダップを形成する工程を説明するための模式的断面図である。

【図12】本発明の実施形態1であるMCMの製造において、バッファ用チップ実装工程を説明するための模式的断面図である。

【図13】本発明の実施形態1であるMCMの製造において、バッファ用チップ実装工程を説明するための模式的断面図である。

【図14】本発明の実施形態1であるMCMの製造において、メモリ用チップ実装工程を説明するための模式的断面図である。

【図15】本発明の実施形態1であるMCMの製造において、メモリ用チップ実装工程を説明するための模式的断面図である。

【図16】本発明の実施形態1であるMCMにおいて、他のバット配列パターンを示すメモリ用チップの模式的平面図である。

【図17】本発明の実施形態1の第1変形例であるMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図である。

【図18】本発明の実施形態1の第2変形例であるMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図である。

【図19】本発明の実施形態2であるMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図である。

【図20】図20の一部を拡大した模式的断面図である。

【図21】従来のDRAMチップの平面レイアウト図である。

【符号の範明】

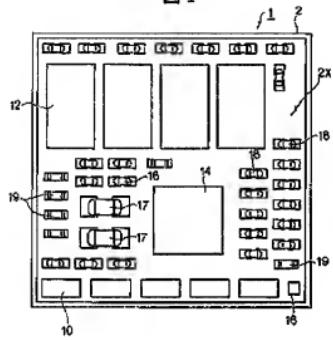
1…MCM（電子装置）、2…配線基板、3…リジット基板、4…柔軟版、5、6、7…接線部、5a、6a、7a…接線部、8…電極パッド、9…絶縁層、10…バッファ用チップ、12…メモリ用チップ、14…制御用チップ、10a、12a、14a…電極パッド、11、13、15…スタッダップ、13a、15a…基部パンプ、13b、13c、15b、15c…重ねパンプ、16…高弾性チップ、17、18…容積素子、19…抵抗素子、20…異方導電性樹脂、21…半田材、22…半田パンプ、25、26B…ヒートステージ、27、28…圧着用フール。

(14)

特開2002-76057

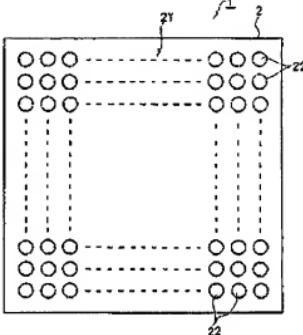
【図1】

図1



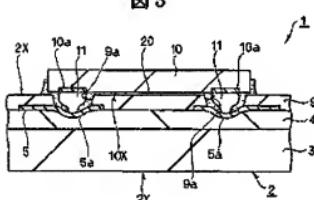
【図2】

図2



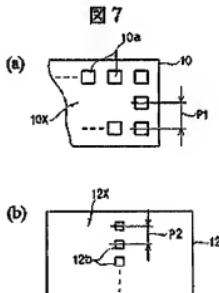
【図3】

図3



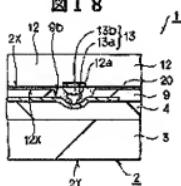
【図7】

図7



【図8】

図18

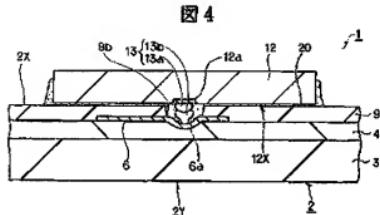


(15)

特開2002-76057

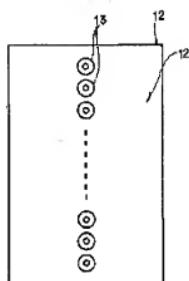
【図4】

図4



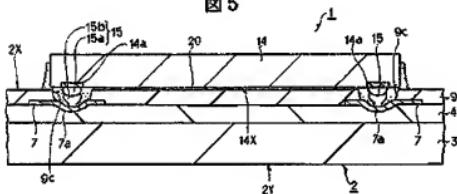
【図9】

図9



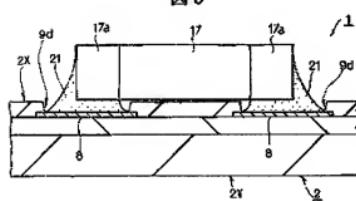
【図6】

図5



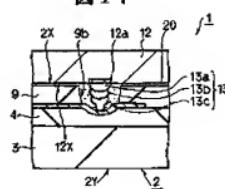
【図6】

図6



【図17】

図17

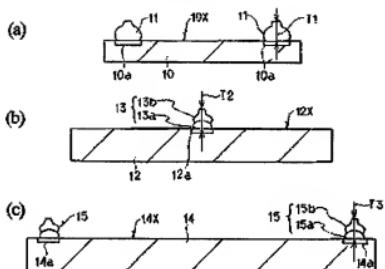


(16)

特開2002-76057

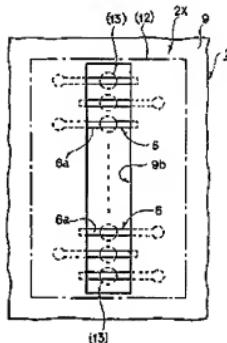
【図8】

図8



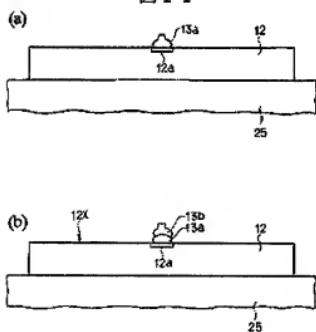
【図10】

図10



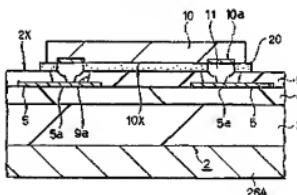
【図11】

図11



【図12】

図12

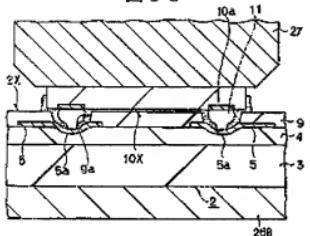


(17)

特許 2002-76057

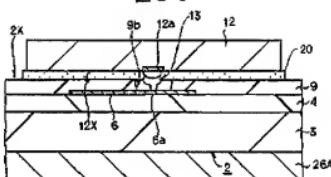
【図13】

図13



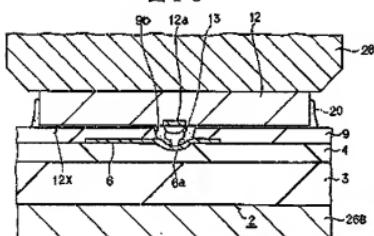
【図14】

図14



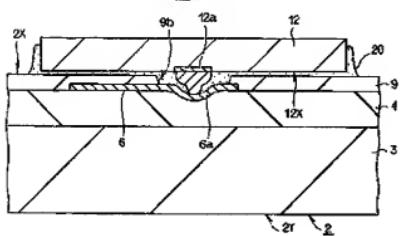
【図15】

図15



【図19】

図19

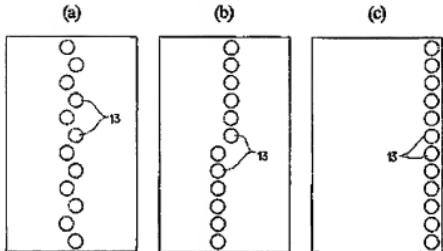


(18)

行醫2002-76057

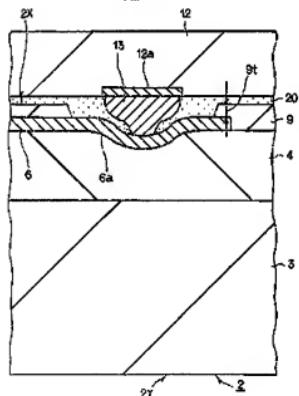
[图 16]

图 1-6



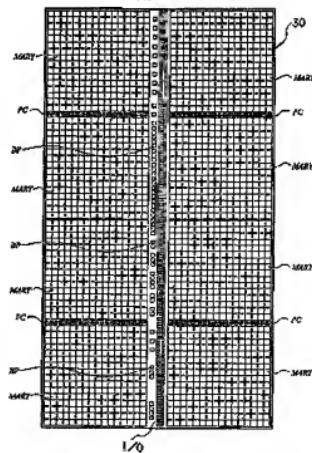
[图20]

图 20



[図21]

圖 21



(19)

特開2002-76057

フロントページの続き

(72)発明者 岸川 親夫 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内	(72)発明者 内藤 孝洋 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内
(72)発明者 ▲舟▼ 義之 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内	(72)発明者 佐藤 俊彦 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内
(72)発明者 田口 一之 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内	F ターム(参考) 5F044 KK12 LL07 LL09 LL11 Q002 Q004 RR01 RR18 RR19 5F051 AA01 BA03 CA03 CB03 FA02

JP 2002-76057 A5 2005.2.24

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 2 月 24 日(2005.2.24)

【公開番号】特願 2002-76057(P2002-76057A)
 【公開日】平成 14 年 3 月 15 日(2002.3.15)
 【出願番号】特願 2000-262511(P2000-262511)
 【国際特許分類(第 7 版)]
 H 01 L 21/60
 H 01 L 21/56
 H 01 L 25/04
 H 01 L 25/18

[F I]
 H 01 L 21/60 3 1 1 S
 H 01 L 21/56 C
 H 01 L 21/92 6 0 4 J
 H 01 L 25/04 Z

【手続補正書】

【提出日】平成 16 年 3 月 16 日(2004.3.16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一主面に複数の電極パッドを有する半導体チップと、
 一主面に複数の接続部を有する配線基板と、

前記半導体チップの前記各電極パッドと前記配線基板の前記各接続部との間に配置され、
 かつ夫々を電気的に接続する複数の突起状電極であって、前記配線基板の一主面に対して
 前記半導体チップのバランスがとれない配列で配置された複数の突起状電極とを有し、
 前記複数の接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主
 面よりも深い位置に配置されていることを特徴とする電子装置。

【請求項 2】

請求項 1 に記載の電子装置において、

前記配線基板は、その一主面に形成された絶縁膜と、前記絶縁膜に形成された開口とを更
 に有し、

前記複数の接続部は、前記開口の底部に配置されていることを特徴とする電子装置。

【請求項 3】

請求項 2 に記載の電子装置において、

前記絶縁膜は、前記半導体チップの周縁を跨って存在していることを特徴とする電子装置

。【請求項 4】

請求項 2 に記載の電子装置において、

前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく、

前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きいことを特徴とす
 る電子装置。

【請求項 5】

請求項 1 に記載の電子装置において、

(2)

JP 2002-76057 A5 2005.2.24

前記半導体チップは、接着用樹脂を介在して前記配線基板に接着されており、前記突起状電極は、前記配線基板の接続部に圧着されていることを特徴とする電子装置。

【請求項 6】

請求項 5 に記載の電子装置において、

前記接着用樹脂は、絶縁性樹脂に多数の導電性粒子が混入された異方導電性樹脂であることを特徴とする電子装置。

【請求項 7】

請求項 1 に記載の電子装置において、

前記複数の突起状電極の夫々はスタッドバンプであることを特徴とする電子装置。

【請求項 8】

請求項 1 に記載の電子装置において、

前記複数の突起状電極の夫々は半田バンプであることを特徴とする電子装置。

【請求項 9】

請求項 1 に記載の電子装置において、

前記配線基板は、多層配線構造からなり、

前記複数の接続部の夫々は、前記配線基板の最上層の配線層に形成された複数の配線の夫々の一部分であることを特徴とする電子装置。

【請求項 10】

請求項 1 に記載の電子装置において、

前記半導体チップは、平面が方形状で形成され、

前記複数の突起状電極は、前記半導体チップの一主面を一方向に三等分した三つの領域のうちの何れかの領域に配置されていることを特徴とする電子装置。

【請求項 11】

請求項 10 に記載の電子装置において、

前記複数の突起状電極は、一方向に沿って一列状に配置されていることを特徴とする電子装置。

【請求項 12】

請求項 1 に記載の電子装置において、

前記複数の突起状電極は、一方向に沿って一列状に配置され、かつ前記一方向に対して交差する方向には配置されていないことを特徴とする電子装置。

【請求項 13】

一主面に一方向に沿って一列状に配置された複数の電極パッドと、前記各電極パッド上に夫々個別に配置された複数の突起状電極とを有する半導体チップと、
 一主面から深さ方向に向かって前記一主面よりも深い位置に、前記複数の突起状電極と対応して配置された複数の接続部を有する配線基板とを準備する工程と、
 前記配線基板の一主面と前記半導体チップの一主面との間に接着用樹脂を介在し、前記配線基板の一主面に前記半導体チップを圧着して、前記各接続部に前記各突起状電極を夫々電気的に接続する工程とを備えたことを特徴とする電子装置の製造方法。

【請求項 14】

請求項 13 に記載の電子装置の製造方法において、

前記配線基板は、その一主面に形成された絶縁膜と、前記絶縁膜に形成された開口とを更に有し、

前記複数の接続部は、前記開口の底部に配置されていることを特徴とする電子装置の製造方法。

【請求項 15】

請求項 14 に記載の電子装置の製造方法において、

前記絶縁膜は、前記半導体チップの周縁を跨って存在していることを特徴とする電子装置の製造方法。

【請求項 16】

請求項 14 に記載の電子装置において、

前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく、前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きいことを特徴とする電子装置の製造方法。

【請求項 1 7】

一主面に第1配列ピッチで配置された複数の第1電極パッドを有する第1半導体チップと、
 一主面に前記第1配列ピッチよりも小さい第2配列ピッチで配置された複数の第2電極パッドを有する第2半導体チップと、
 一主面の第一領域に、前記複数の第1電極パッドと対応して配置された複数の第1接続部と、前記一主面の第1領域と異なる第2領域に、前記複数の第2電極パッドと対応して配置された複数の第2接続部とを有する配線基板と、
 前記各第1電極パッドと前記各第1接続部との間に配置され、かつ夫々を電気的に接続する複数の第1突起状電極と、
 前記各第2電極パッドと前記各第2接続部との間に配置され、かつ夫々を電気的に接続する複数の第2突起状電極と有し、
 前記複数の第1接続部及び前記複数の第2接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、
 前記複数の第2突起状電極は、前記複数の第1突起状電極よりも段数が多い多段バンプ構造になっていることを特徴とする電子装置。

【請求項 1 8】

請求項 1 7 に記載の電子装置において、

前記配線基板は、その一主面に形成された絶縁膜と、前記一主面の第1領域において前記絶縁膜に形成された第1開口と、前記一主面の第2領域において前記絶縁膜に形成された第2開口とを更に有し、
 前記複数の第1接続部は、前記第1開口の底部に配置され、
 前記複数の第2接続部は、前記第2開口の底部に配置されていることを特徴とする電子装置。

【請求項 1 9】

請求項 1 7 に記載の電子装置において、

前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンプと、前記基部バンプに積み重ねられた重ねバンプとを有する多段バンプ構造になっていることを特徴とする電子装置。

【請求項 2 0】

請求項 1 7 に記載の電子装置において、

前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンプと、前記基部バンプに積み重ねられた第1重ねバンプと、前記第1重ねバンプに積み重ねられた第2重ねバンプとを有する多段バンプ構造になっていることを特徴とする電子装置。

【請求項 2 1】

請求項 1 7 に記載の電子装置において、

前記第1及び第2突起状電極は、スクッドバンプであることを特徴とする電子装置。

【請求項 2 2】

請求項 1 7 に記載の電子装置において、

前記配線基板は、多層配線構造からなり、

前記複数の第1及び第2接続部は、前記配線基板の最上層の配線層に形成された複数の配線の夫々の一部分であることを特徴とする電子装置。

【請求項 2 3】

請求項 1 7 に記載の電子装置において、

前記第1及び第2半導体チップは、接着用樹脂を介在して前記配線基板に接着されていることを特徴とする電子装置。

【請求項 2 4】

請求項 2 3 に記載の電子装置において、
前記接着用樹脂は、絶縁性樹脂に多数の導電性粒子が混入された異方導電性樹脂であることを特徴とする電子装置。

【請求項 2 5】

一主面に第 1 配列ピッチで配置された複数の第 1 突起状電極と、前記各第 1 電極パッドに夫々個別に接続された複数の第 1 半導体チップと、
一主面に前記第 1 配列ピッチよりも小さい第 2 配列ピッチで配置された複数の第 2 電極パッドと、前記各第 1 配列ピッチよりも段数が多い多段パンプ構造からなる複数の第 2 突起状電極とを有する第 2 半導体チップと、
一主面に形成された絶縁膜と、前記一主面の第 1 領域において前記絶縁膜に形成された第 1 開口と、前記一主面の第 1 領域と異なる第 2 領域において前記絶縁膜に形成された第 2 開口と、前記第 1 開口の底部に前記複数の第 1 突起状電極と対応して配置された複数の第 1 接続部と、前記第 2 開口の底部に前記複数の第 2 突起状電極と対応して配置された複数の第 2 接続部とを有する配線基板とを準備する工程と、
前記配線基板の一主面の第 1 領域と前記第 1 半導体チップの一主面との間に第 1 接着用樹脂を介在し、前記配線基板の一主面の第 1 領域に前記第 1 半導体チップを圧着して、前記各第 1 接続部に前記各第 1 突起状電極を夫々電気的に接続する工程と、
前記配線基板の一主面の第 2 領域と前記第 2 半導体チップの一主面との間に第 2 接着用樹脂を介在し、前記配線基板の一主面の第 2 領域に前記第 2 半導体チップを圧着して、前記各第 2 接続部に前記各第 2 突起状電極を夫々電気的に接続する工程とを備えたことを特徴とする電子装置の製造方法。

【請求項 2 6】

一主面に第 1 電極パッドを有する第 1 半導体チップと、
一主面に前記第 1 電極パッドよりも平面積が小さい第 2 電極パッドを有する第 2 半導体チップと、
一主面に形成された絶縁膜と、前記一主面の第 1 領域において前記絶縁膜に形成された第 1 開口と、前記一主面の第 1 領域と異なる第 2 領域において前記絶縁膜に形成された第 2 開口と、前記第 1 開口の底部に配置された第 1 接続部と、前記第 2 開口の底部に配置された第 2 接続部とを有する配線基板と、
前記第 1 電極パッドと前記第 1 接続部との間に配置され、かつ夫々を電気的に接続する第 1 突起状電極と、
前記第 2 電極パッドと前記第 2 接続部との間に配置され、かつ夫々を電気的に接続する第 2 突起状電極とを有し、
前記第 2 突起状電極は、前記第 1 突起状電極よりも段数が多い多段パンプ構造になっていることを特徴とする電子装置。

【請求項 2 7】

一主面に電極パッドを有する半導体チップと、
一主面の表層部に接続部を有する配線基板と、
前記半導体チップの前記電極パッドと前記配線基板の前記接続部との間に配置され、かつ夫々を電気的に接続する突起状電極とを有し、
前記接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、
前記突起状電極は、多段パンプ構造になっていることを特徴とする電子装置。

【請求項 2 8】

一主面に電極パッドを有する半導体チップと、
一主面に形成された絶縁膜と、前記絶縁膜に形成された開口と、一部分が前記開口の底部に配置され、かつ他の部分が前記絶縁膜で覆われた配線とを有する配線基板と、
前記電極パッドと前記配線の一部分との間に配置され、かつ夫々を電気的に接続する突起状電極と、

前記半導体チップと配線基板との間及び前記開口の内部に配置された接着用樹脂とを有し、前記配線の他の部分上における前記絶縁膜の厚さが 20 [μm] 以下となっていることを特徴とする電子装置。

【請求項 2 9】

半導体チップと、

前記半導体チップの一主面上に配置された複数の突起状電極と、

配線基板と、

前記配線基板の一主面上に形成された開口と、

前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、

前記複数の突起状電極は、前記半導体チップの一主面上の第 1 の中心線の周囲に配置されていることを特徴とする電子装置。

【請求項 3 0】

半導体チップと、

前記半導体チップの一主面上に配置された複数の突起状電極と、

配線基板と、

前記配線基板の一主面上に形成された開口と、

前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、

前記複数の突起状電極は、前記半導体チップの一主面上の第 1 の直線の周囲に配置されていることを特徴とする電子装置。

【請求項 3 1】

請求項 3 0 に記載の電子装置において、

前記半導体チップの一主面は長方形であり、

前記第 1 の直線は、前記半導体チップの一主面上の 2 本の短い辺に交わることを特徴とする電子装置。

【請求項 3 2】

半導体チップと、

前記半導体チップの一主面上に配置された複数の突起状電極と、

配線基板と、

前記配線基板の一主面上に形成された開口と、

前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有する電子装置であって、

前記半導体チップの一主面上において、前記複数の突起状電極を結んで形成される多角形の内側に前記半導体チップの重心を含まないことを特徴とする電子装置。

【請求項 3 3】

一主面上に複数の電極パッドを有する半導体チップと、

その表面に複数の接続部を有する配線基板と、

前記複数の電極パッドと、前記複数の接続部の間に配置され、かつ一列に配列された複数の突起状電極とを有し、

前記複数の接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置されており、

前記半導体チップは、四角形の一主面を有しております。

前記複数の突起状電極は、前記半導体チップの一主面を一方向に三等分した三つの領域のうち何れかの領域に配置されていることを特徴とする電子装置。

【請求項 3 4】

請求項 3 3 に記載の電子装置であって、

前記半導体チップの一主面を一方向に三等分した三つの領域のうち、前記突起状電極が配置された領域以外の二つの領域には、メモリアレイが形成されていることを特徴とする電

(6)

JP 2002-76057 A5 2005.2.24

子装置。【請求項 3 5】一主面と、前記一主面上に形成された電極パッド列と、前記一主面上に形成されたD.R.A.Mとを有する半導体チップと、その表面に複数の接続部を有する配線基板と、前記電極パッド列上に形成されており、前記接続部と電気的に接続する複数の突起状電極とを有し、前記D.R.A.Mが前記電極パッド列の両側に形成されたメモリアレイと、前記メモリアレイと前記電極パッド列との間に形成された入出力回路とを有しており、前記複数の突起状電極は、前記半導体チップの一主面を一方向に三等分した三つの領域のうち何れかの領域に配置されていることを特徴とする電子装置。【請求項 3 6】請求項 3.5 に記載の電子装置であって、前記D.R.A.MはS.D.R.A.Mであることを特徴とする電子装置。【請求項 3 7】請求項 3.5 乃至請求項 3.6 のうちの何れか一項に記載の電子装置であって、前記半導体チップは、四角形の一主面を有しており、前記複数の突起状電極は、前記半導体チップの一主面を一方向に三等分した三つの領域のうち、真ん中の領域に配置されていることを特徴とする電子装置。【請求項 3 8】請求項 3.5 乃至請求項 3.7 のうちの何れか一項に記載の電子装置であって、前記複数の接続部は、それぞれ凹部を有しており、前記複数の突起状電極は、それぞれ前記凹部の内部で前記複数の接続部と接続していることを特徴とする電子装置。【請求項 3 9】請求項 3.8 に記載の電子装置であって、前記凹部は、前記接続部及び前記配線基板の弾性変形によって形成されていることを特徴とする電子装置。